

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-240389

(43)Date of publication of application : 12.09.1995

(51)Int.Cl.

H01L 21/28
H01L 21/8242
H01L 27/108
H01L 29/78

(21)Application number : 06-031443

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 01.03.1994

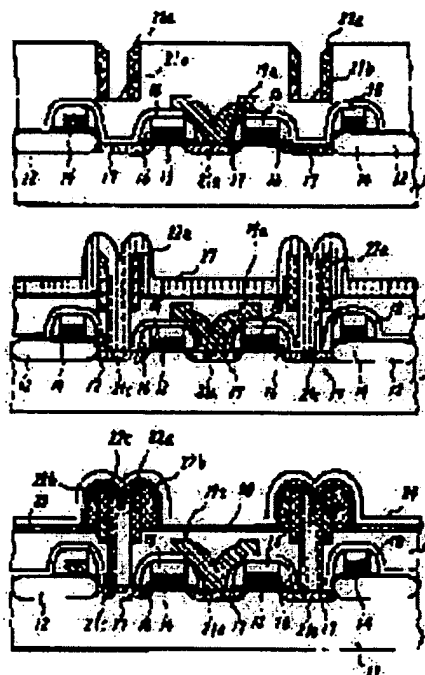
(72)Inventor : TANIGUCHI KOJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To decrease the number of photolithography processes and realize cost reduction, by depositing first conducting material so as to cover the peripheral part of a protruding frame part, etching back the first conducting material, and covering the etched-back first conducting material and a dielectric film with second conducting material.

CONSTITUTION: A first aperture 21b is formed in an insulating film 20, and a frame part 22a is formed on the side wall of the first aperture 21b. By etching back the whole part of the insulating film 20, a second aperture 21c is formed below the first aperture 21b, and the frame part 22a is made to protrude from the edge end portion of the second aperture 21c. First conducting material 27 is deposited on the insulating film 20 so as to cover the peripheral part of a protruding frame part 22 and be electrically connected with the bottom part of the second aperture 21c. The first conducting material 27 is etched back, and the first conducting material 27 after etched back is covered with a dielectric film 23, which is covered with second conducting material 24.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

特開平7-240389

(43) 公開日 平成7年(1995)9月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	V	8932-4M		
21/8242				
27/108				
		7210-4M	H 0 1 L 27/ 10	3 2 5 P
		7210-4M		3 2 5 M
	審査請求	未請求	請求項の数 4	OL (全 9 頁) 最終頁に続く

(21) 出願番号 特願平6-31443

(22) 出願日 平成6年(1994)3月1日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 谷口 浩二

伊丹市瑞原4丁目1番地 三菱電機株式会

社ユー・エル・エス・アイ開発研究所内

(74) 代理人 弁理士 高田 守

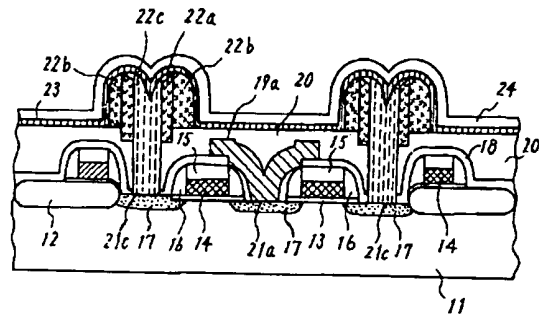
(54) 【発明の名称】 半導体装置の製造方法、および半導体装置

(57) 【要約】

【目的】 DRAMの製造工程において工程数をへらす。

【構成】 半導体基板に分離酸化膜、不純物拡散領域、ゲート酸化膜、ゲート電極、ビット線とを形成する工程と、全面を絶縁膜で覆う工程と、上記絶縁膜に第1の開口を形成する工程と、上記第1の開口の側壁に、枠部を設ける工程と、上記絶縁膜を全面エッチバックし、上記第1の開口の下部に第2の開口を形成し、上記枠部を上記第2の開口の縁端部から突出させる工程と、上記突出した枠部の周囲を覆い、上記第2の開口の底部と電気的に接続されるように上記絶縁膜上に第1の導電性物質を堆積する工程と、上記第1の導電性物質をエッチバックする工程と、上記エッチバック後の第1の導電性物質を誘電体膜で覆い、上記誘電体膜を第2の導電性物質で覆う工程とを含む。

【効果】 エッチバックでキャパシタ下部電極を形成するので、写真製版工程が削除できる。



23: キャパシタ誘電体膜

24: キャパシタ下部電極

【特許請求の範囲】

【請求項1】 以下の工程を有する半導体記憶装置の製造方法。

- (a) 半導体基板に、分離酸化膜、不純物拡散領域、ゲート酸化膜、ゲート電極、ビット線とを形成する工程と、
- (b) 全面を絶縁膜で覆う工程と、
- (c) 上記絶縁膜に第1の開口を形成する工程と、
- (d) 上記第1の開口側壁に枠部を設ける工程と、
- (e) 上記絶縁膜を全面エッチバックし、上記第1の開口の下部に第2の開口を形成し、上記枠部を上記第2の開口の縁端部から突出させる工程と、
- (f) 上記突出した枠部の周囲を覆い、上記第2の開口の底部と電気的に接続されるように上記絶縁膜上に第1の導電性物質を堆積する工程と、
- (g) 上記第1の導電性物質をエッチバックする工程と、
- (h) 上記エッチバック後の第1の導電性物質を誘電体膜で覆い、上記誘電体膜を第2の導電性物質で覆う工程。

【請求項2】 請求項第1項の半導体記憶装置の製造方法において、工程(d)における枠部は導電性であることを特徴とする半導体記憶装置の製造方法。

【請求項3】 請求項第1項の半導体記憶装置の製造方法において、工程(g)において上記第1の導電性物質に写真製版工程を行い、エッチングすることを特徴とする半導体記憶装置の製造方法。

【請求項4】 分離酸化膜、不純物拡散領域、ゲート酸化膜、ゲート電極、ビット線とを有する半導体装置において、開口と、上記開口縁端部から突出する枠部と、上記枠部の周囲を取り囲み上記開口底部に電気的に通じる第1の導電性物質と、上記第1の導電性物質を覆う誘電体膜と、上記誘電体膜を覆う第2の導電性物質からなることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置の製造方法、および半導体装置に関し、特にメモリブロックの高集積化を可能とする半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 図33は、キャパシタより先にビット線を形成する、シールドビット線タイプのDRAMのメモリセル部の断面構造を示したものである。図33において、11は半導体基板、12は分離酸化膜、13はMOSトランジスタのゲート酸化膜、14はDRAMのワード線となるゲート電極、15はゲート電極の上敷酸化膜、16はサイドウォールスペーサ酸化膜、17は不純物拡散領域、18は第1の層間酸化膜、19aはDRAMのビット線、20は第2の層間酸化膜、21bは第1のコンタクトホール、21cは第2のコンタクトホール、23はキャパシタ誘電体膜、24は

キャパシタ上部電極、27aはキャパシタ下部電極である。

【0003】 この半導体装置の製造方法を工程順に説明する。

- (1) 半導体基板11上に、分離酸化膜12、ゲート酸化膜13、DRAMのワード線となるゲート電極14、上敷酸化膜15、サイドウォールスペーサ16、不純物拡散領域17、第1の層間酸化膜18、ビット線19aを形成する。(図21)
 - (2) 第2の層間酸化膜20を堆積させたのち(図22)、
 - (3) 写真製版技術により、レジストパターン25を形成して、(図23)、
 - (4) これをマスクにして、酸化膜エッチを行い、第1のコンタクトホール21bを基板まで到達せずに途中止めに形成する。(図24)
 - (5) レジストを除去し(図25)、
 - (6) 全面覆うように酸化膜33を堆積させ(図26)、
 - (7) 全面酸化膜エッチバックにより、途中酸化膜スペーサ33aを第1のコンタクトホール21bの内壁に形成しながら(図27)、不純物拡散層17上に第2のコンタクトホール21cを形成する(図28)。
 - (8) 導電性ポリシリコンからなる導電層27を堆積させる(図29)。
 - (9) 写真製版技術により、レジストパターン100を形成して(図30)、
 - (10) エッチング技術により導電層27を加工してキャパシタ下部電極27aを形成し、(図31)
 - (11) レジストパターン100を除去し、(図32)
 - (12) キャパシタ誘電体膜23およびキャパシタ上部電極24を堆積させDRAMのメモリセルを形成する(図33)。
- コンタクトホール21c形成において、写真製版、およびエッチング技術の工程によらないのは、現状の写真製版の技術でのコンタクトホール径の大きさでは、重ね合わせズレが起こった場合、コンタクトホールに例えばゲート電極が露出し、上部電極とショートを起こす可能性が大きい。そこで、ある程度までコンタクトホールを形成した後、酸化膜スペーサ33aを形成しさらにエッチングすることで、コンタクトホール径を、写真製版のみで得られるものよりも小さくし、重ね合わせズレによるショートを防いでいる。

【0004】

【発明が解決しようとする課題】 近年DRAMの高集積に伴い、従来技術のように下部電極が複雑化し、製造工程が増え、製造コストが増大する方向にある。一方、DRAMの製造工程数は減らすことができないとされている。また、DRAMの高集積に伴い、メモリセル面積が縮小する一方記憶容量は増大の方向にあり、同じ面積内でより大きな容量を確保することが求められている。

【0005】 これらの発明は、上記のような問題点を解消するためになされたもので、本発明ではDRAMの製

造工程中の写真製版工程の数を減らすことができ、コスト削減に寄与できる半導体装置の製造方法および半導体装置を得ることを目的としている。

【0006】他の発明では、容易にキャパシタ下部電極の表面積（キャパシタ容量）を増大させることを目的としており、さらにその製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】本発明に係る半導体装置の製造方法においては、突出する枠部の周囲を覆うように第1の導電性物質を堆積し、上記第1の導電性物質をエッチバックし、上記エッチバックした第1の導電性物質を誘電体膜と第2の導電性物質で覆う。他の発明に係る半導体装置は、突出する枠部の周囲をとりかこみ開口底部に電氣的に通じる第1の導電性物質と、上記第1の導電性物質を覆う誘電体膜と、上記誘電体膜を覆う第2の導電性物質からなる。他の発明における半導体装置の製造方法においては、突出する枠部の周囲を覆うように堆積した第1の導電性物質を選択的に除去し、上記選択的に除去した第1の導電性物質を誘電体膜と第2の導電性物質で覆う。

【0008】

【作用】本発明によれば突出した枠部の周囲を第1の導電性物質で覆い、後エッチバックすることで写真製版工程を省略でき、よって工程数を減らすことが可能となる。

【0009】また、他の発明においては、絶縁膜上に突出した枠部の周囲に第1の導電性物質が3次的に形成されるため第1の導電性物質、誘電膜および第2の導電性物質からなるキャパシタのキャパシタ容量の増大をもたらす。

【0010】

【実施例】

実施例1．図1から図12は、本発明の第1の実施例における半導体装置の製造方法の各工程を示す断面図である。図1において、11は半導体基板、12は分離酸化膜、13はMOSトランジスタのゲート酸化膜、14はゲート電極、15はゲート電極上敷酸化膜、16はサイドウォールスペーサ、17は不純物拡散領域、図2において、19aはDRAMのビット線、21aは第3のコンタクトホール、図3において、20は絶縁膜としての第2の層間酸化膜、図4において、25はレジストパターン、図5において、21bは第1のコンタクトホール、図7において、22は導電層、図8において、22aは枠部としての下部電極の第1の部分、図10において、27は第1の導電性物質としての導電層、図11において、22bは第1の導電性物質から形成される下部電極の第2の部分、図11において、22cは第1の導電性物質から形成される下部電極の第3の部分、図12において、23はキャパシタ誘電体膜、24は第2の導電性物質としてのキャパシタ上部電極である。

【0011】以下、図1から図12において第1の実施例を説明する。

(1) 半導体基板11上に、分離酸化膜12、ゲート酸化膜13、およびゲート電極14、上敷酸化膜15、サイドウォールスペーサ16、不純物拡散領域17により構成されるMOSトランジスタを形成する。（図1）

次に、MOSトランジスタを覆うように第1の層間酸化膜18を堆積させ、異方性エッチング技術を用いて第3のコンタクトホール21aを形成し、次に、導電膜を堆積させ、写真製版技術、および異方性エッチング技術を用いてビット線19aを形成する。（図2）

(2) 絶縁膜である第2の層間酸化膜20を堆積させたのち（図3）、

(3) 写真製版技術によりレジストパターン25を形成し（図4）、

(4) これをマスクにして酸化膜エッチを行い、第1のコンタクトホール21bを、基板まで到達せずに途中止めに形成する。（図5）

(5) レジストパターン25を除去し（図6）、

(6) 絶縁膜である第2の層間酸化膜20とエッチング特性の異なる、ポリシリコンからなる導電層22を堆積させ、（図7）

(7) 導電層22を異方性エッチングし、枠部としての下部電極の第1の部分22aを第1のコンタクトホール21bの内壁に形成する。（図8）

(8) 全面酸化膜エッチバックして不純物拡散層17上に第2のコンタクトホール21cを形成する。この段階で、下部電極の第1の部分22aは、第2の層間酸化膜20の上方に突き出たようになる。（図9）

(9) 第2のコンタクトホール21cを埋め込むように第1の導電性物質として、導電層27を堆積する。（図10）

(10) 異方性導電層エッチング技術により、下部電極の第1の部分22aの内側に第2のコンタクトホール21cに完全に埋め込んだプラグ状の下部電極の第3の部分22cと、下部電極の第1の部分22aの外周に下部電極の第2の部分22bを同時に形成する。（図11）

また、このとき、下部電極の第1の部分22a、下部電極の第2の部分22b、下部電極の第3の部分22c、および不純物拡散領域17は電氣的に接続されている。以上、下部電極の第1の部分22a、下部電極の第2の部分22b、下部電極の第3の部分22cをもってキャパシタ下部電極とする。

(11) この後、キャパシタ誘電膜23、および第2の導電性物質として、キャパシタ上部電極24を形成して、図12のような半導体記憶装置が完成する。（図12）

【0012】実施例2．図13は、実施例2における半導体装置を示す断面図である。図13において32aは窒化膜サイドウォールスペーサである。

【0013】次に実施例2における半導体装置の製造方法を説明する。工程(1)から(5)までは実施例1と同様

特開平7-240389

(43)公開日 平成7年(1995)9月12日

(51)IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	V	8932-4M		
21/8242				
27/108				
		7210-4M	H 0 1 L 27/ 10	3 2 5 P
		7210-4M		3 2 5 M
審査請求 未請求 請求項の数4 O L (全 9 頁) 最終頁に続く				

(21)出願番号 特願平6-31443

(22)出願日 平成6年(1994)3月1日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 谷口 浩二

伊丹市瑞原4丁目1番地 三菱電機株式会

社ユー・エル・エス・アイ開発研究所内

(74)代理人 弁理士 高田 守

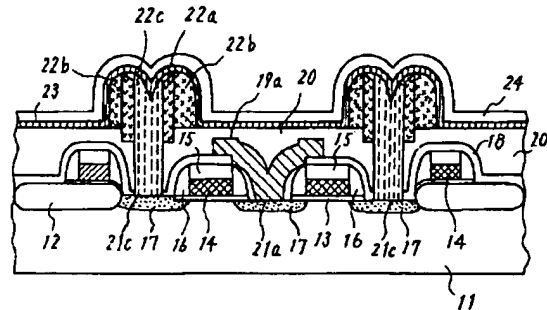
(54)【発明の名称】 半導体装置の製造方法、および半導体装置

(57)【要約】

【目的】 DRAMの製造工程において工程数をへらす。

【構成】 半導体基板に分離酸化膜、不純物拡散領域、ゲート酸化膜、ゲート電極、ビット線とを形成する工程と、全面を絶縁膜で覆う工程と、上記絶縁膜に第1の開口を形成する工程と、上記第1の開口の側壁に、枠部を設ける工程と、上記絶縁膜を全面エッチバックし、上記第1の開口の下部に第2の開口を形成し、上記枠部を上記第2の開口の縁端部から突出させる工程と、上記突出した枠部の周囲を覆い、上記第2の開口の底部と電気的に接続されるように上記絶縁膜上に第1の導電性物質を堆積する工程と、上記第1の導電性物質をエッチバックする工程と、上記エッチバック後の第1の導電性物質を誘電体膜で覆い、上記誘電体膜を第2の導電性物質で覆う工程とを含む。

【効果】 エッチバックでキャパシタ下部電極を形成するので、写真製版工程が削除できる。



23:キャパシタ誘電体膜

24:キャパシタ上部電極

【特許請求の範囲】

【請求項1】 以下の工程を有する半導体記憶装置の製造方法。

- (a) 半導体基板に、分離酸化膜、不純物拡散領域、ゲート酸化膜、ゲート電極、ビット線とを形成する工程と、
- (b) 全面を絶縁膜で覆う工程と、
- (c) 上記絶縁膜に第1の開口を形成する工程と、
- (d) 上記第1の開口側壁に枠部を設ける工程と、
- (e) 上記絶縁膜を全面エッチバックし、上記第1の開口の下部に第2の開口を形成し、上記枠部を上記第2の開口の縁端部から突出させる工程と、
- (f) 上記突出した枠部の周囲を覆い、上記第2の開口の底部と電気的に接続されるように上記絶縁膜上に第1の導電性物質を堆積する工程と、
- (g) 上記第1の導電性物質をエッチバックする工程と、
- (h) 上記エッチバック後の第1の導電性物質を誘電体膜で覆い、上記誘電体膜を第2の導電性物質で覆う工程。

【請求項2】 請求項第1項の半導体記憶装置の製造方法において、工程(d)における枠部は導電性であることを特徴とする半導体記憶装置の製造方法。

【請求項3】 請求項第1項の半導体記憶装置の製造方法において、工程(g)において上記第1の導電性物質に写真製版工程を行い、エッチングすることを特徴とする半導体記憶装置の製造方法。

【請求項4】 分離酸化膜、不純物拡散領域、ゲート酸化膜、ゲート電極、ビット線を有する半導体装置において、
開口と、
上記開口縁端部から突出する枠部と、上記枠部の周囲を取り囲み上記開口底部に電気的に通じる第1の導電性物質と、上記第1の導電性物質を覆う誘電体膜と、上記誘電体膜を覆う第2の導電性物質からなることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体装置の製造方法、および半導体装置に関し、特にメモリブロックの高集積化を可能とする半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】図33は、キャパシタより先にビット線を形成する、シールドビット線タイプのDRAMのメモリセル部の断面構造を示したものである。図33において、11は半導体基板、12は分離酸化膜、13はMOSトランジスタのゲート酸化膜、14はDRAMのワード線となるゲート電極、15はゲート電極の上敷酸化膜、16はサイドウォールスペーサ酸化膜、17は不純物拡散領域、18は第1の層間酸化膜、19aはDRAMのビット線、20は第2の層間酸化膜、21bは第1のコンタクトホール、21cは第2のコンタクトホール、23はキャパシタ誘電体膜、24は

キャパシタ上部電極、27aはキャパシタ下部電極である。

【0003】この半導体装置の製造方法を工程順に説明する。

- (1) 半導体基板11上に、分離酸化膜12、ゲート酸化膜13、DRAMのワード線となるゲート電極14、上敷酸化膜15、サイドウォールスペーサ16、不純物拡散領域17、第1の層間酸化膜18、ビット線19aを形成する。(図21)
 - (2) 第2の層間酸化膜20を堆積させたのち(図22)、
 - (3) 写真製版技術により、レジストパターン25を形成して、(図23)、
 - (4) これをマスクにして、酸化膜エッチを行い、第1のコンタクトホール21bを基板まで到達せずに途中止めに形成する。(図24)
 - (5) レジストを除去し(図25)、
 - (6) 全面覆うように酸化膜33を堆積させ(図26)、
 - (7) 全面酸化膜エッチバックにより、途中酸化膜スペーサ33aを第1のコンタクトホール21bの内壁に形成しながら(図27)、不純物拡散層17上に第2のコンタクトホール21cを形成する(図28)。
 - (8) 導電性ポリシリコンからなる導電層27を堆積させる(図29)。
 - (9) 写真製版技術により、レジストパターン100を形成して(図30)、
 - (10) エッチング技術により導電層27を加工してキャパシタ下部電極27aを形成し、(図31)
 - (11) レジストパターン100を除去し、(図32)
 - (12) キャパシタ誘電体膜23およびキャパシタ上部電極24を堆積させDRAMのメモリセルを形成する(図33)。
- コンタクトホール21c形成において、写真製版、およびエッチング技術の工程によらないのは、現状の写真製版の技術でのコンタクトホール径の大きさでは、重ね合わせズレが起こった場合、コンタクトホールに例えばゲート電極が露出し、上部電極とショートを起こす可能性が大きい。そこで、ある程度までコンタクトホールを形成した後、酸化膜スペーサ33aを形成しさらにエッチングすることで、コンタクトホールの径を、写真製版のみで得られるものよりも小さくし、重ね合わせズレによるショートを防いでいる。

【0004】

【発明が解決しようとする課題】近年DRAMの高集積に伴い、従来技術のように下部電極が複雑化し、製造工程が増え、製造コストが増大する方向にある。一方、DRAMの製造工程数は減らすことができないとされていた。また、DRAMの高集積に伴い、メモリセル面積が縮小する一方記憶容量は増大の方向にあり、同じ面積内でより大きな容量を確保することが求められている。

【0005】これらの発明は、上記のような問題点を解消するためになされたもので、本発明ではDRAMの製

造工程中の写真製版工程の数を減らすことができ、コスト削減に寄与できる半導体装置の製造方法および半導体装置を得ることを目的としている。

【0006】他の発明では、容易にキャパシタ下部電極の表面積（キャパシタ容量）を増大させることを目的としており、さらにその製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】本発明に係る半導体装置の製造方法においては、突出する枠部の周囲を覆うように第1の導電性物質を堆積し、上記第1の導電性物質をエッチバックし、上記エッチバックした第1の導電性物質を誘電体膜と第2の導電性物質で覆う。他の発明に係る半導体装置は、突出する枠部の周囲をとりかこみ開口底部に電気的に通じる第1の導電性物質と、上記第1の導電性物質を覆う誘電体膜と、上記誘電体膜を覆う第2の導電性物質からなる。他の発明における半導体装置の製造方法においては、突出する枠部の周囲を覆うように堆積した第1の導電性物質を選択的に除去し、上記選択的に除去した第1の導電性物質を誘電体膜と第2の導電性物質で覆う。

【0008】

【作用】本発明によれば突出した枠部の周囲を第1の導電性物質で覆い、後エッチバックすることで写真製版工程を省略でき、よって工程数を減らすことが可能となる。

【0009】また、他の発明においては、絶縁膜上に突出した枠部の周囲に第1の導電性物質が3次元的に形成されるため第1の導電性物質、誘電膜および第2の導電性物質からなるキャパシタのキャパシタ容量の増大をもたらす。

【0010】

【実施例】

実施例1. 図1から図12は、本発明の第1の実施例における半導体装置の製造方法の各工程を示す断面図である。図1において、11は半導体基板、12は分離酸化膜、13はMOSトランジスタのゲート酸化膜、14はゲート電極、15はゲート電極上敷酸化膜、16はサイドウォールスペーサ、17は不純物拡散領域、図2において、19aはDRAMのビット線、21aは第3のコンタクトホール、図3において、20は絶縁膜としての第2の層間酸化膜、図4において、25はレジストパターン、図5において、21bは第1のコンタクトホール、図7において、22は導電層、図8において、22aは枠部としての下部電極の第1の部分、図10において、27は第1の導電性物質としての導電層、図11において、22bは第1の導電性物質から形成される下部電極の第2の部分、図11において、22cは第1の導電性物質から形成される下部電極の第3の部分、図12において、23はキャパシタ誘電体膜、24は第2の導電性物質としてのキャパシタ上部電極である。

【0011】以下、図1から図12において第1の実施例を説明する。

(1) 半導体基板11上に、分離酸化膜12、ゲート酸化膜13、およびゲート電極14、上敷酸化膜15、サイドウォールスペーサ16、不純物拡散領域17により構成されるMOSトランジスタを形成する。(図1)

次に、MOSトランジスタを覆うように第1の層間酸化膜18を堆積させ、異方性エッチング技術を用いて第3のコンタクトホール21aを形成し、次に、導電膜を堆積させ、写真製版技術、および異方性エッチング技術を用いてビット線19aを形成する。(図2)

(2) 絶縁膜である第2の層間酸化膜20を堆積させたのち(図3)、

(3) 写真製版技術によりレジストパターン25を形成し(図4)、

(4) これをマスクにして酸化膜エッチを行い、第1のコンタクトホール21bを、基板まで到達せずに途中止めに形成する。(図5)

(5) レジストパターン25を除去し(図6)、

(6) 絶縁膜である第2の層間酸化膜20とエッチング特性の異なる、ポリシリコンからなる導電層22を堆積させ、(図7)

(7) 導電層22を異方性エッチングし、枠部としての下部電極の第1の部分22aを第1のコンタクトホール21bの内壁に形成する。(図8)

(8) 全面酸化膜エッチバックして不純物拡散層17上に第2のコンタクトホール21cを形成する。この段階で、下部電極の第1の部分22aは、第2の層間酸化膜20の上方に突き出たようになる。(図9)

(9) 第2のコンタクトホール21cを埋め込むように第1の導電性物質として、導電層27を堆積する。(図10)

(10) 異方性導電層エッチング技術により、下部電極の第1の部分22aの内側に第2のコンタクトホール21cに完全に埋め込んだプラグ状の下部電極の第3の部分22cと、下部電極の第1の部分22aの外周に下部電極の第2の部分22bを同時に形成する。(図11)

また、このとき、下部電極の第1の部分22a、下部電極の第2の部分22b、下部電極の第3の部分22c、および不純物拡散領域17は電気的に接続されている。以上、下部電極の第1の部分22a、下部電極の第2の部分22b、下部電極の第3の部分22cをもってキャパシタ下部電極とする。

(11) この後、キャパシタ誘電膜23、および第2の導電性物質として、キャパシタ上部電極24を形成して、図12のような半導体記憶装置が完成する。(図12)

【0012】実施例2. 図13は、実施例2における半導体装置を示す断面図である。図13において32aは窒化膜サイドウォールスペーサである。

【0013】次に実施例2における半導体装置の製造方法を説明する。工程(1)から(5)までは実施例1と同様

に行う。以下、工程(6)から(13)について、図14から図20、および図13において説明する。図14において32は窒化膜、図15において32aは枠部としての窒化膜サイドウォールスペーサ、図18において、26はレジストパターン、図19において、27aは第1の導電性物質からなる、キャパシタ下部電極である。

(6) 全面を覆うように窒化膜32を堆積させる。この窒化膜は第2の層間酸化膜20とは異なるエッチング特性を持っている。(図14)

(7) 異方性窒化膜エッチング技術により第1のコンタクトホール21bの内壁に枠部としての窒化膜によるサイドウォールスペーサ32aを形成する。(図15)

(8) 異方性酸化膜エッチング技術により、第2のコンタクトホール21cを形成する。窒化膜によりサイドウォールスペーサ32aは第2の層間酸化膜20上に突き出た形状になり、突出した枠部を形成する。(図16)

(9) 窒化膜サイドウォールスペーサ32aを覆うように、また第2のコンタクトホール21cを完全に埋め込むように第1の導電性物質として、ポリシリコンからなる導電層27を堆積する。(図17)

(10) 写真製版技術によりレジストパターン26を形成し、(図18)

(11) 異方性導電層エッチング技術により導電層27からキャパシタ下部電極27aを隣り合う下部電極どうしが分離するように形成する。(図19)

(12) レジストパターン26を除去し(図20)

(13) 更に、キャパシタ誘電膜23、および第2の導電性物質としてキャパシタ上部電極24を堆積して半導体記憶装置が完成する。(図13)

尚、枠部として窒化膜サイドウォールスペーサ32aのかわりに、導電性ポリシリコンからなるサイドウォールスペーサを用いてもよい。

【0014】

【発明の効果】以上のように、この発明によれば、写真製版工程が減り、工程数の削減が可能となり、製造コストを抑える効果がある。

【0015】また、第1の導電性物質を3次的に堆積させるため堆積した、第1の導電性物質を選択的に除去する際、従来と同一のパターンで行うにもかかわらず、より大きなキャパシタ容量が得られる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の第1の工程を示す断面図である。

【図2】本発明の一実施例の第1の工程を示す断面図である。

【図3】本発明の一実施例の第2の工程を示す断面図である。

【図4】本発明の一実施例の第3の工程を示す断面図である。

【図5】本発明の一実施例の第4の工程を示す断面図で

ある。

【図6】本発明の一実施例の第5の工程を示す断面図である。

【図7】本発明の一実施例の第6の工程を示す断面図である。

【図8】本発明の一実施例の第7の工程を示す断面図である。

【図9】本発明の一実施例の第8の工程を示す断面図である。

【図10】本発明の一実施例の第9の工程を示す断面図である。

【図11】本発明の一実施例の第10の工程を示す断面図である。

【図12】本発明の一実施例の第11の工程を示す断面図である。

【図13】本発明の他の実施例および他の実施例の第13の工程を示す断面図である。

【図14】本発明の他の実施例の第6の工程を示す断面図である。

【図15】本発明の他の実施例の第7の工程を示す断面図である。

【図16】本発明の他の実施例の第8の工程を示す断面図である。

【図17】本発明の他の実施例の第9の工程を示す断面図である。

【図18】本発明の他の実施例の第10の工程を示す断面図である。

【図19】本発明の他の実施例の第11の工程を示す断面図である。

【図20】本発明の他の実施例の第12の工程を示す断面図である。

【図21】従来技術の第1の工程を示す断面図である。

【図22】従来技術の第2の工程を示す断面図である。

【図23】従来技術の第3の工程を示す断面図である。

【図24】従来技術の第4の工程を示す断面図である。

【図25】従来技術の第5の工程を示す断面図である。

【図26】従来技術の第6の工程を示す断面図である。

【図27】従来技術の第7の工程を示す断面図である。

【図28】従来技術の第7の工程を示す断面図である。

【図29】従来技術の第8の工程を示す断面図である。

【図30】従来技術の第9の工程を示す断面図である。

【図31】従来技術の第10の工程を示す断面図である。

【図32】従来技術の第11の工程を示す断面図である。

【図33】従来技術および従来技術の第12の工程を示す断面図である。

【符号の説明】

11 半導体基板

12 分離酸化膜

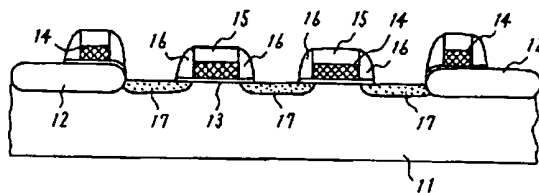
13 MOSトランジスタのゲート酸化膜

14 MOSトランジスタのゲート電極

- 15 ゲート電極の上敷酸化膜
- 16 サイドウォールスペーサ酸化膜
- 17 不純物拡散領域
- 19a DRAMのビット線
- 20 第2の層間酸化膜
- 21a 第3のコンタクトホール
- 21b 第1のコンタクトホール
- 21c 第2のコンタクトホール
- 22 導電層
- 22a キャパシタ下部電極の第1の部分
- 22b キャパシタ下部電極の第2の部分

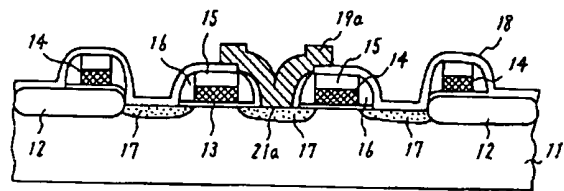
- 22c キャパシタ下部電極の第3の部分
- 23 キャパシタ誘電体膜
- 24 キャパシタ上部電極
- 26 レジストパターン
- 27 導電層
- 27a キャパシタ下部電極
- 32a 窒化膜サイドウォールスペーサ
- 33 酸化膜
- 33a 酸化膜サイドスペーサ
- 100 レジストパターン

【図1】



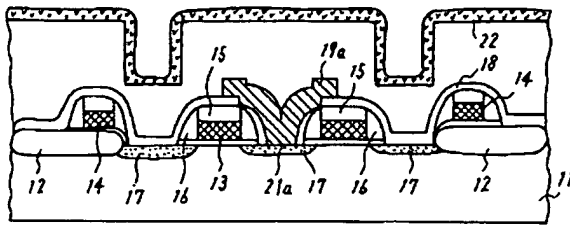
- 11: 半導体基板
- 12: 分離酸化膜
- 13: MOSトランジスタのゲート酸化膜
- 14: ゲート電極
- 15: ゲート電極上敷酸化膜
- 16: サイドウォールスペーサ酸化膜
- 17: 不純物拡散領域

【図2】



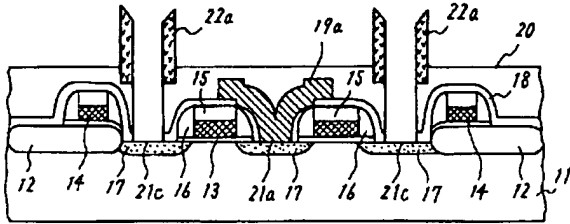
- 19a: DRAMのビット線
- 21a

【図7】



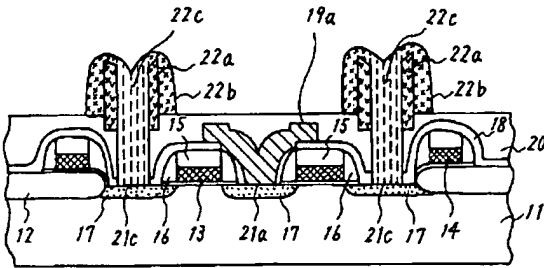
22: 導電層

【図9】



21c: 第2のコンタクトホール

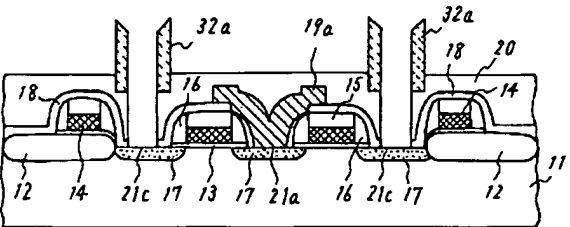
【図11】



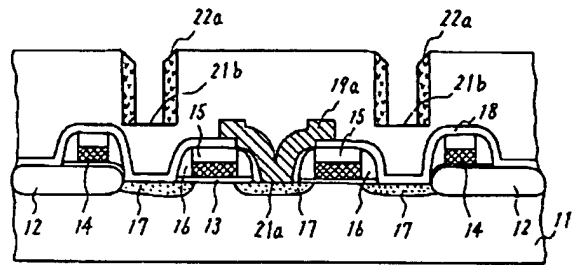
22b: 下部電極の第2の部分

22c: 下部電極の第3の部分

【図16】

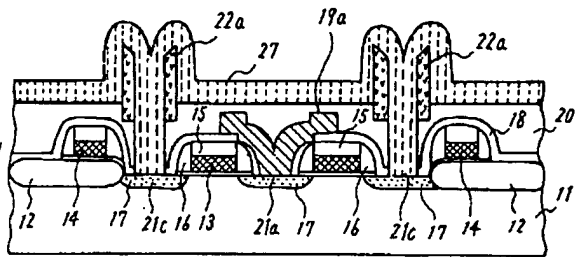


【図8】



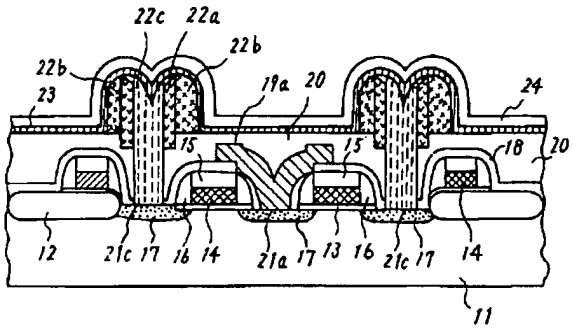
22a: 下部電極の第1の部分

【図10】



27: 導電層

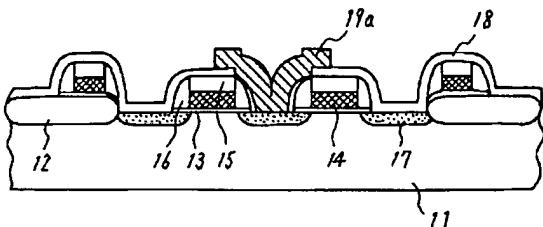
【図12】



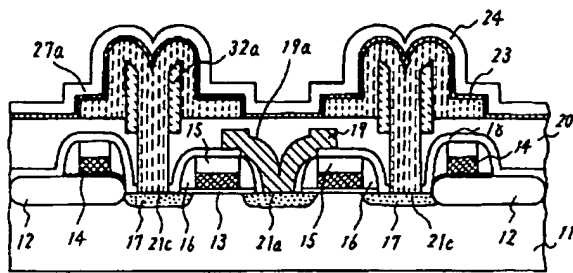
23: キャパシタ誘電体膜

24: キャパシタ上部電極

【図21】

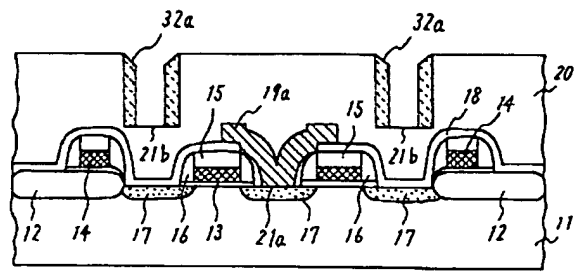


【図13】



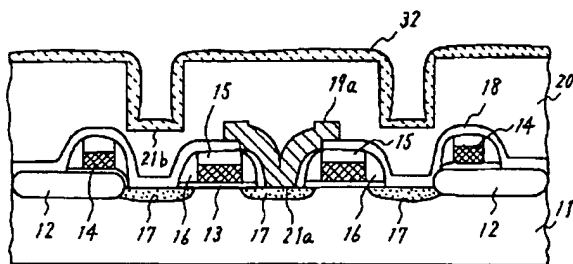
32a:窒化膜サイドウォールスペース

【図15】



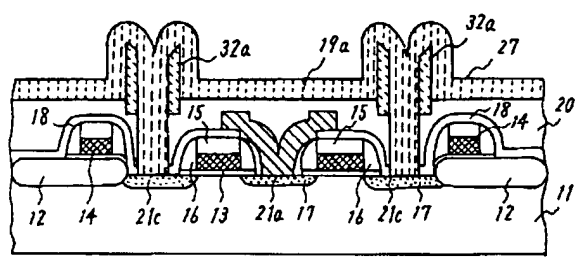
32a:窒化膜サイドウォールスペース

【図14】

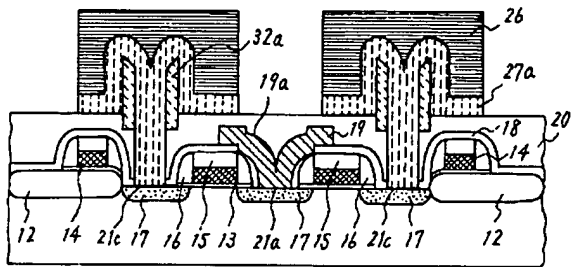


32:窒化膜

【図17】

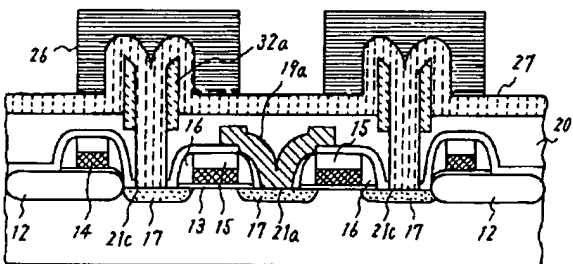


【図19】



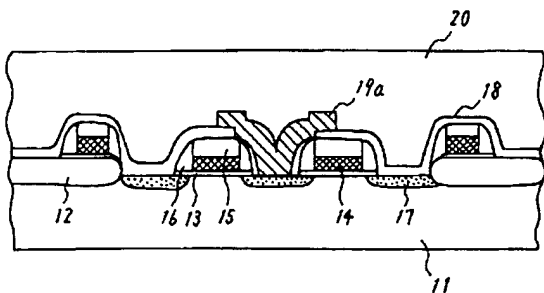
27a:キャパシタ下部電極

【図18】

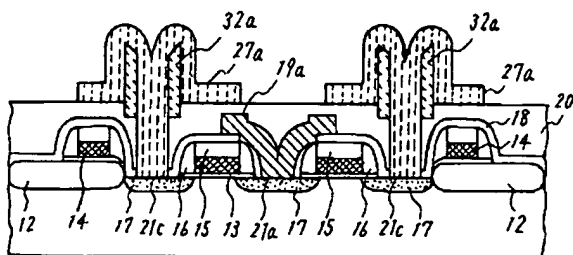


26:レジストパターン

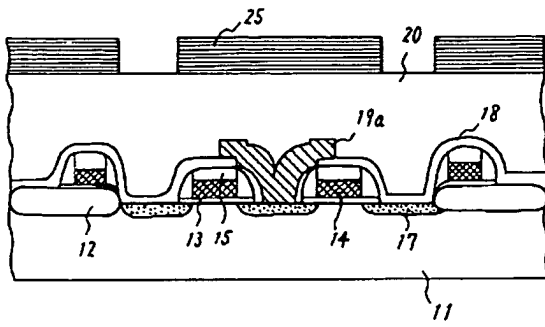
【図22】



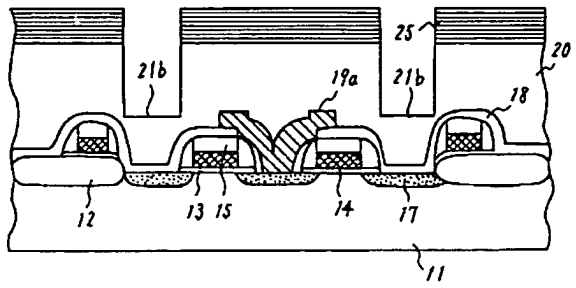
【図20】



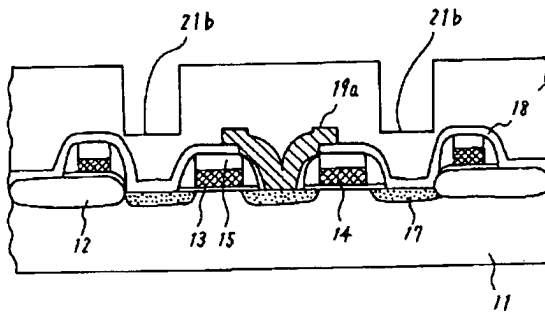
【図23】



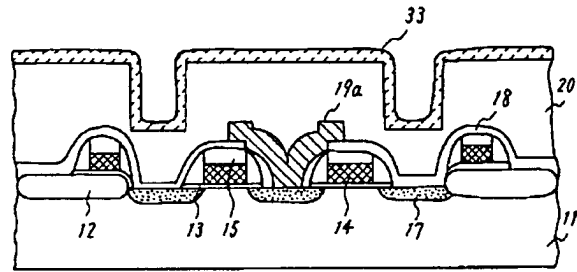
【図24】



【図25】



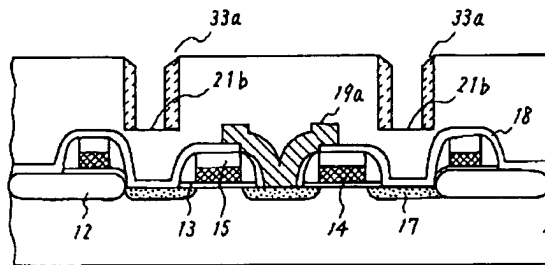
【図26】



33: 酸化膜

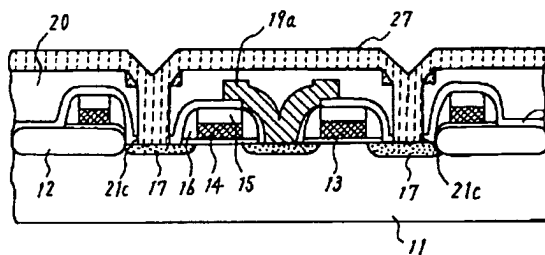
【図28】

【図27】

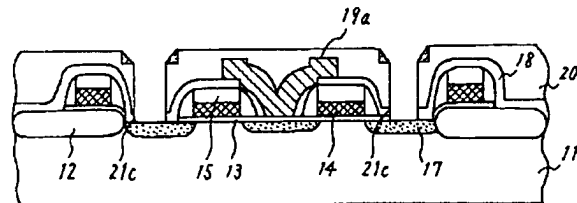


33a: 酸化膜サイドスペーサ

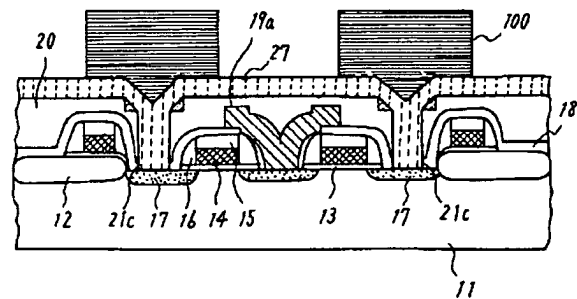
【図29】



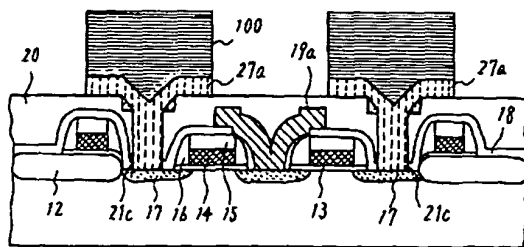
27: 導電層



【図30】

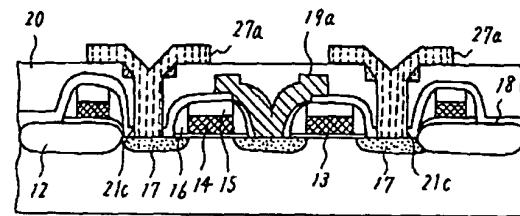


【図31】

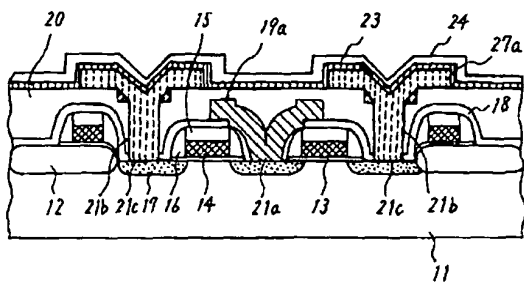


27a: キャパシタ下部電極

【図32】



【図33】



フロントページの続き

(51) Int. Cl.⁶
H01L 29/78

識別記号 庁内整理番号
7514-4M

F I

H01L 29/78

技術表示箇所

301 M